

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-066368

(43)Date of publication of application : 03.03.2000

(51)Int.Cl. G03F 1/08
H01L 21/027

(21)Application number : 10-238824 (71)Applicant : MURATA MFG CO LTD

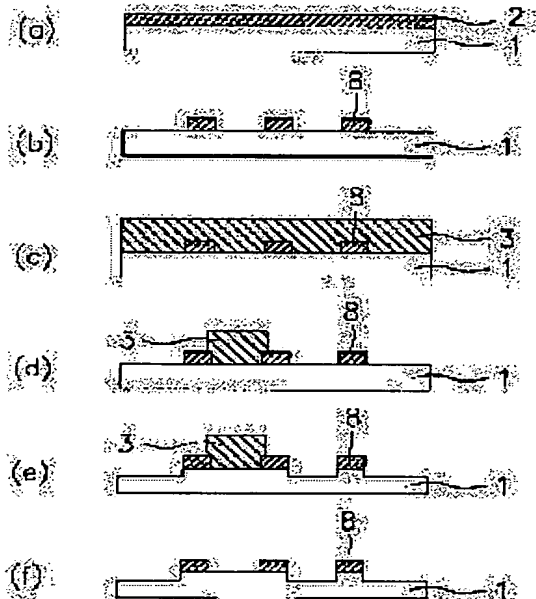
(22)Date of filing : 25.08.1998 (72)Inventor : KOSHIDO YOSHIHIRO

(54) PHOTOMASK, PHASE-SHIFT MASK AND THEIR PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for producing a phase-shift mask capable of preventing charge-up of a resist and excellent in the precision in resist- patterning, which is applicable for producing a substrate etching-type Levenson- type phase-shift mask.

SOLUTION: The process for producing a phase-shift mask is comprised of the steps of, forming a device pattern and an earth pattern by patterning a light shielding film 2 formed on a substrate 1, then connecting the device pattern with the earth pattern by a connecting light shielding pattern having a narrow line width than the resolution limit line width, after coating the substrate 1 with a resist film 3, forming a resist pattern by patterning the resist film 3 using an electron beam while allowing the earth pattern to earth, and finally etching the substrate 1 using the resist pattern as a mask.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

1169

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-66368

(P2000-66368A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

G 0 3 F 1/08
H 0 1 L 21/027G 0 3 F 1/08
H 0 1 L 21/30A 2 H 0 9 5
5 0 2 P 5 F 0 4 6
5 2 8

審査請求 未請求 請求項の数5 O L (全 5 頁)

(21) 出願番号 特願平10-238824

(22) 出願日 平成10年8月25日 (1998.8.25)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 越戸 義弘

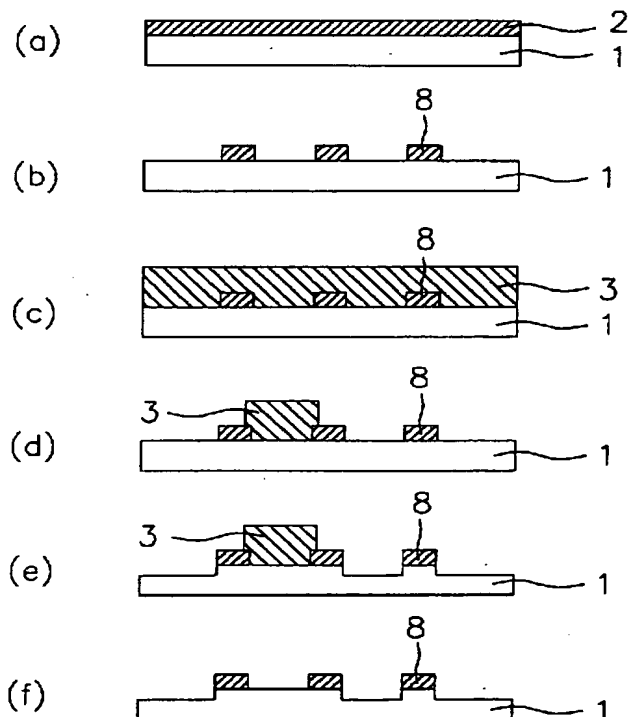
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内Fターム (参考) 2H095 BB02 BB03 BB10 BC05 BC09
5F046 AA25 BA04 BA08

(54) 【発明の名称】 フォトマスク、位相シフトマスク、およびその作製方法

(57) 【要約】

【課題】 基板エッチング型レベソソソ型位相シフトマスクの作製に適用できる、レジストのチャージアップを防ぎレジストパターニングの精度の高い位相シフトマスクの作製方法を提供する。

【解決手段】 基板1上に形成した遮光膜2をパターニングすることによってデバイス用パターンと接地用パターンとを形成し、デバイス用パターンと接地用パターンとを解像限界線幅よりも細い線幅の接続用遮光膜パターンによって接続する。次いで基板1をレジスト膜3で被覆した後、電子線を用いてレジスト膜3をパターニングし、レジストパターンを形成する。このレジスト膜3のパターニングの際に、前記接地用パターンは接地しておく。次いで、レジストパターンをマスクとして基板1をエッチングする。以上の工程を経て位相シフトマスクが完成する。



【特許請求の範囲】

【請求項１】フォトマスク上の二以上の遮光膜パターンが、露光装置の解像限界線幅よりも細い線幅の接続用遮光膜パターンによって接続されていることを特徴とするフォトマスク。

【請求項２】フォトマスク上の遮光膜パターンであるデバイス用パターンと接地用パターンとが、露光装置の解像限界線幅よりも細い線幅の接続用遮光膜パターンによって接続されていることを特徴とするフォトマスク。

【請求項３】フォトマスク上の二以上の遮光膜パターンが、露光装置の解像限界線幅よりも細い線幅の接続用遮光膜パターンによって接続されていることを特徴とする位相シフトマスク。

【請求項４】フォトマスク上の遮光膜パターンであるデバイス用パターンと接地用パターンとが、露光装置の解像限界線幅よりも細い線幅の接続用遮光膜パターンによって接続されていることを特徴とする位相シフトマスク。

【請求項５】基板上に遮光膜パターンであるデバイス用パターンと接地用パターンとを形成する工程と、前記基板をレジスト膜で被覆する工程と、電子線を用いて前記レジスト膜をパターニングし、レジストパターンを形成する工程と、前記レジストパターンをマスクとして前記基板をエッチングする工程と、を有する位相シフトマスク作製方法において、前記デバイス用パターンと前記接地用パターンとは解像限界線幅よりも細い線幅の接続用遮光膜パターンによって接続されており、前記レジスト膜のパターニング時に、前記接地用パターンが接地されていることを特徴とする位相シフトマスク作製方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、フォトマスク等に関するもので、より具体的には、半導体集積回路や半導体デバイス、SAWデバイス等の電子部品の作製に使用される位相シフトマスクに関するものである。

【０００２】

【従来の技術】半導体集積回路やSAWデバイス等の電子部品は、デバイスを形成する基板上に塗布されたレジストに所望のパターンを露光した後、エッチング等を行う、フォトリソグラフィ工程を繰り返すことによって製造されている。このようなフォトリソグラフィ工程に使用されるフォトマスクは、半導体集積回路等の高性能化、高集積化に伴いますます高精度なものが要求される傾向にある。そこで、開発されてきたのが位相シフトマスクである。その中でも代表的な基板エッチング型レベンソン方式位相シフトマスクは、マスク上に隣接する開口部の基板が交互にエッチングされた構造をしてい

る。具体的には図９に示すように、隣り合う開口部２５、２６の一方の基板１８がエッチングされており、該開口部を通過する光の位相が 180° 変化する。したがって、開口部２５、２６を通過する光は互いに逆位相となるため、光の干渉が避けられることとなり、通常のフォトマスクにおける光学的な解像限界を超えた解像を可能とする。

【０００３】この基板エッチング型レベンソン方式位相シフトマスクを作製する方法を図６および図７を用いて説明する。図６は、図７のW-W線における断面図を、位相シフトマスク作製の工程にしたがって示したものである。まず、図６（a）に示すように、透明な絶縁基板１１上に導電性を有するCr系遮光膜１２をスパッタリング法で形成する。続いて、図６（b）、図７に示すように、遮光膜１２をフォトリソグラフィ技術を用いてエッチングし、所望の遮光膜パターン１３を形成する。次いで、図６（c）に示すように、遮光膜パターン１３を含む基板１１上にレジスト１４を塗布した後、図６（d）に示すように、電子線描画装置を用いてレジスト１４をエッチングする。次いで、図６（e）に示すように、このレジスト１４および遮光膜パターン１３をマスクとして基板１１をエッチングした後、最後に、図６（f）に示すようにレジスト１４を除去すると、基板エッチング型レベンソン方式位相シフトマスクが完成する。

【０００４】以上のようなプロセスを経て完成された位相シフトマスクを使って、 $1/5$ 縮小転写i線ステッパーで、デバイスを形成する基板上にフォトリソグラフィを行うことによって、基板上のレジストのパターニングを行う。

【０００５】

【発明が解決しようとする課題】しかしながら、図６、および、図７に示すような従来の位相シフトマスク作製方法では、導電性を有する遮光膜パターン１３は絶縁基板１１上で電氣的に孤立し、絶縁されている。したがって、図６（c）、（d）の工程において、電子線を照射してレジストにパターニングを行うと、レジストがチャージアップして電子線が曲げられ、レジストパターニング精度が劣化する。そのため、所望の位相シフトマスクが作製できないという問題があった。

【０００６】そこで、レジストのチャージアップを防ぐため、図８に示すように、透明な絶縁基板１５上にITOやSnO₂等からなる透明導電膜１６を形成した上に遮光膜１７をパターニングする方法が提案されている。しかし、ITOやSnO₂等からなる透明導電膜１６はエッチング除去することが非常に難しいため、基板エッチング型レベンソン方式位相シフトマスクを作製する際には、透明導電膜１６の存在により基板のエッチングが妨げられる、という新たな問題が生じる。

【０００７】従って、本発明の目的は、基板エッチング

型レベソソ方式位相シフトマスクの作製に適用できる、レジストのチャージアップを防ぎレジストパターニングの精度の高い位相シフトマスクの作製方法を提供することにある。

【0008】

【課題を解決するための手段】この発明は、フォトマスク、位相シフトマスク、およびその作製方法に向けられるものであって、上述した技術的課題を解決するため、次のような構成を備えることを特徴としている。

【0009】すなわち、この発明は、基板上に遮光膜パターンであるデバイス用パターンと接地用パターンとを形成する工程と、前記基板をレジスト膜で被覆する工程と、電子線を用いて前記レジスト膜をパターンニングし、レジストパターンを形成する工程と、前記レジストパターンをマスクとして前記基板をエッチングする工程と、を有する位相シフトマスク作製方法において、前記デバイス用パターンと前記接地用パターンとは解像限界線幅よりも細い線幅の接続用遮光膜パターンによって接続されており、前記レジスト膜のパターニング時に、前記接地用パターンが接地されていることを特徴とする。

【0010】このように、絶縁基板上に孤立している遮光膜パターンを接地することによって、レジストのパターニングに際して、レジストのチャージアップを防ぐことができる。これによって、レジストパターニングの精度を高めることができる。

【0011】また、絶縁基板上に孤立している遮光膜パターンは、使用する露光装置の解像限界線幅よりも細い線幅の接続用遮光膜パターンを介して接地されている。このため、この位相シフトマスクを使って、デバイスを形成する基板上にフォトリソグラフィーを行っても、該接続用遮光膜パターンは転写されないため、必要な遮光膜パターンのみが得られることとなる。

【0012】

【発明の実施の形態】本発明の実施形態の一例を図1から図5を用いて説明する。図1は、本発明の一実施形態における位相シフトマスクの作製工程を示した断面図であり、図2は、図1(b)の工程を示す平面図、図3は、図1(b)の工程の別の実施形態を示す平面図、図4は、図1(c)の工程を示す平面図、図5は、図1(d)の工程を示す平面図である。なお、図1(b)、図1(c)、図1(d)は、それぞれ、図2のX-X線、図4のY-Y線、図5のZ-Z線における断面図を示す。

【0013】まず、図1(a)に示すように、透明な絶縁基板1上に遮光膜2を形成する。具体的には、基板材料には、ArFエキシマレーザー光(波長193nm)より長い波長の光に対して光透過率が60%以上であるもの、例えば、石英、CaF₂、水晶、Al₂O₃等を用いる。また、遮光膜材料には、ArFエキシマレーザー光(波長193nm)よりも長い波長の光に対して光透過

率が20%以下であるものを用い、例えば、Cr系遮光膜である上層Cr₂O₃(膜厚30nm)/下層Cr(膜厚70nm)薄膜をスパッタリング法により形成する。また、遮光膜材料には、Cr系遮光膜以外に、W、Cu、Al、Ti、Taなどを用いてもよい。

【0014】つづいて、図1(b)に示すように、遮光膜2をフォトリソグラフィー技術を用いたエッチングによりパターンニングする。具体的には、図2に示すように、デバイス用パターン4と接地用パターン5とを形成し、その間を例えば線幅0.5μmの接続用遮光膜パターン6で電氣的に接続する。このように遮光膜パターン8は、デバイス用パターン4と接地用パターン5と接続用遮光膜パターン6との3つの部分よりなる。接地用パターン5は、基板上的デバイス特性に影響を与えない部分に形成すればよい。したがって、例えば図3に示すように、基板上的素子となる部分を囲むように接地用パターン7を形成してもよい。なお、1/5縮小ステッパーを用いる場合では、接続用遮光膜パターンの線幅(W)は、フォトリソグラフィの露光波長(λ(μm))と転写縮小率(α)を含む次式によりもとまる値以下とする。

$$【0015】 W < \lambda \times (1/\alpha)$$

具体的には、i線露光の場合は1.825μm以下、KrFエキシマレーザー露光の場合は1.24μm以下、ArFエキシマレーザー露光の場合は0.965μm以下であればよい。

【0016】次いで、図1(c)、図4に示すように、遮光膜パターン8を含む基板1上にレジスト3を塗布する。レジスト3には、例えば、ネガ型EB(電子線)レジストを用いる。続いて、接地用パターン5(あるいは7)にアースピン(図示せず)を接触させ、接地を行う。但し、図3に示すような接地用パターンを用いる場合、十分な接地面積が確保できるため、接地は必ずしもアースピンの接触によって行う必要はない。

【0017】次いで、図1(d)、図5に示すように、レジスト3を電子線描画装置を用いてパターンニングする。パターンニングは、例えば、現像液で未露光部のレジストを溶解除去することにより行う。この際、遮光膜用パターンは接地されているため、電子線を照射してパターンニングをしても、レジストがチャージアップせず電子線が曲げられることはない。

【0018】次いで、図1(e)に示すように、このレジストパターン3および遮光膜パターン8をマスクとして、基板1をエッチングする。この際、基板1と遮光膜パターン8はエッチングの選択性が高いため、レジストパターン3だけでなく遮光膜パターン8もエッチングのマスクとしての機能を果たす。エッチングは、例えば、フッ酸を用いたウェットエッチングやフッ素系プラズマを用いた反応性イオンエッチングによって行う。

【0019】最後に、図1(f)に示すように、レジス

ト3を剥離することによって、基板エッチング型レベンソン方式位相シフトマスクが得られる。

【0020】以上の工程を経て完成された位相シフトマスクを用いて、例えば、1/5縮小転写i線ステッパーで、デバイスを形成する基板上にフォトリソグラフィを行い、レジストのパターニングを行う。

【0021】

【発明の効果】このように、絶縁基板上に孤立しているデバイス用パターンを使用する露光装置の解像限界線幅よりも細い線幅の接続用遮光膜パターンを介して接地することによって、電子線を用いたレジストのパターニングに際して、レジストのチャージアップを防ぐことができ、レジストパターニングの精度を高めることができる。

【0022】また、絶縁基板上に孤立しているデバイス用パターンは、使用する露光装置の解像限界線幅よりも細い線幅の接続用遮光膜パターンによって、接地用パターンと接続されている。このため、この位相シフトマスクを使って、デバイスを形成する基板上にフォトリソグラフィを行うと、該接続用遮光膜パターンは転写されないため、必要な遮光膜パターンのみが得られることとなり、デバイスへの影響もない。

【0023】以上のように、本発明によれば、基板エッチング型レベンソン方式位相シフトマスクの作製に際して、レジストのチャージアップを防ぎレジストパターニングの精度の高い位相シフトマスクの作製方法を提供す

ることができる。

【図面の簡単な説明】

【図1】この発明の一実施形態による位相シフトマスクの作製方法に含まれる代表的な工程を順次示す断面図である。

【図2】この発明の一実施形態による位相シフトマスクの作製方法に含まれる工程を示す平面図である。

【図3】この発明の一実施形態による位相シフトマスクの作製方法に含まれる工程を示す平面図である。

【図4】この発明の一実施形態による位相シフトマスクの作製方法に含まれる工程を示す平面図である。

【図5】この発明の一実施形態による位相シフトマスクの作製方法に含まれる工程を示す平面図である。

【図6】従来の位相シフトマスクの作製方法に含まれる代表的な工程を順次示す断面図である。

【図7】従来の位相シフトマスクの作製方法に含まれる工程を示す平面図である。

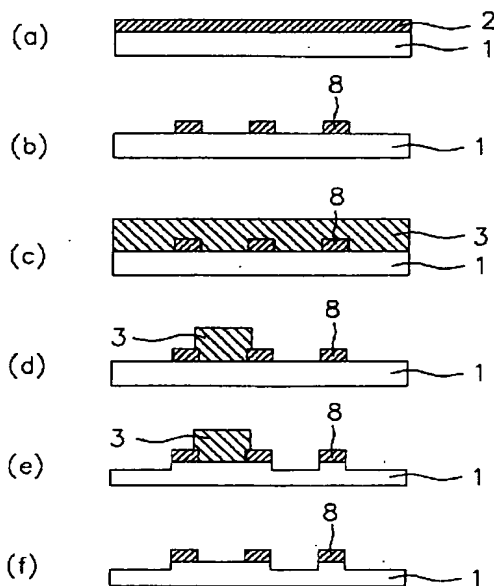
【図8】従来の位相シフトマスクの作製方法に含まれる工程を示す断面図である。

【図9】基板エッチング型レベンソン方式位相シフトマスクを示す断面図である。

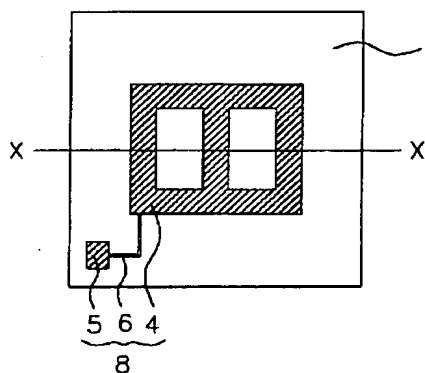
【符号の説明】

- 1 基板
- 2 遮光膜
- 3 レジスト
- 8 遮光膜パターン

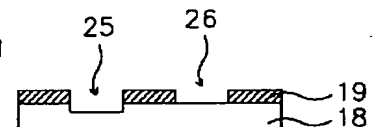
【図1】



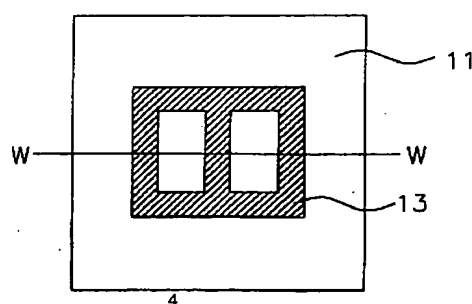
【図2】



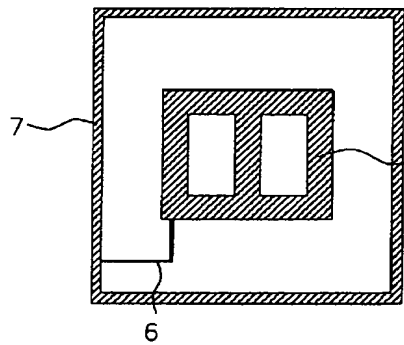
【図9】



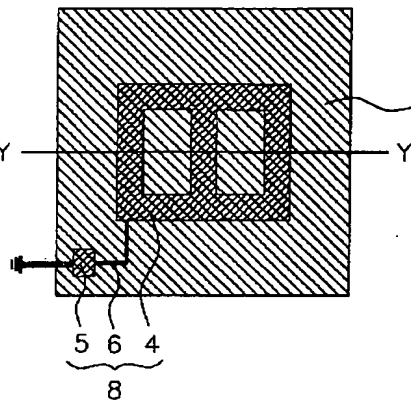
【図7】



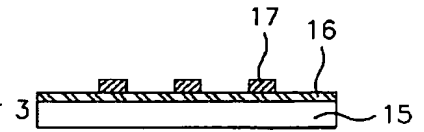
【図3】



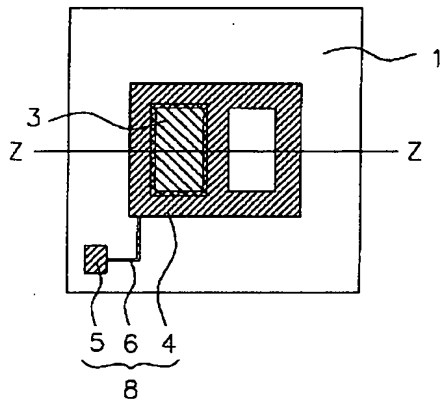
【図4】



【図8】



【図5】



【図6】

